

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-007688

(43)Date of publication of application : 10.01.2003

(51)Int.Cl.

H01L 21/3065

H01L 21/76

(21)Application number : 2001-194459

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 27.06.2001

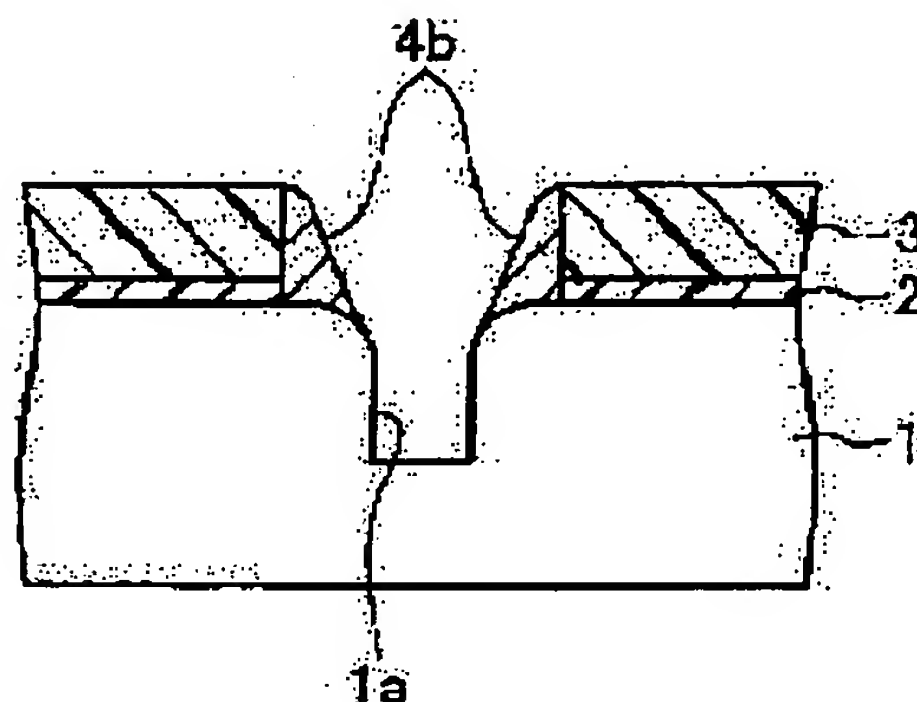
(72)Inventor : HISAMATSU HIROKAZU

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device that can round a corner at the upper section of a trench sufficiently using a simplified process, and to provide a method for manufacturing the semiconductor device.

SOLUTION: The manufacturing method of the semiconductor device includes a process of forming a silicon nitriding film 3 on a silicon substrate 1, a process of forming a polycrystalline silicon film on the silicon nitriding film, a process of forming an opening being positioned on a trench formation region in the polycrystalline silicon film and silicon nitriding film by subjecting the polycrystalline silicon film and silicon nitride film 3 to be subjected to patterning, and a process of forming a trench 1a on the silicon substrate by etching the polycrystalline silicon film and silicon substrate 1 with the silicon nitride film 3 as a mask.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

引用例 4

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-7688
(P2003-7688A)

(43) 公開日 平成15年1月10日 (2003.1.10)

(51) Int.Cl.⁷
H 0 1 L 21/3065
21/76

識別記号

F I
H 0 1 L 21/302
21/76テ-7コード (参考)
M 5 F 0 0 4
L 5 F 0 3 2

審査請求 未請求 請求項の数 6 O L (全 5 頁)

(21) 出願番号 特願2001-194459 (P2001-194459)

(22) 出願日 平成13年6月27日 (2001.6.27)

(71) 出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72) 発明者 久松 裕和

長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内

(74) 代理人 100110858

弁理士 柳瀬 睦肇 (外3名)

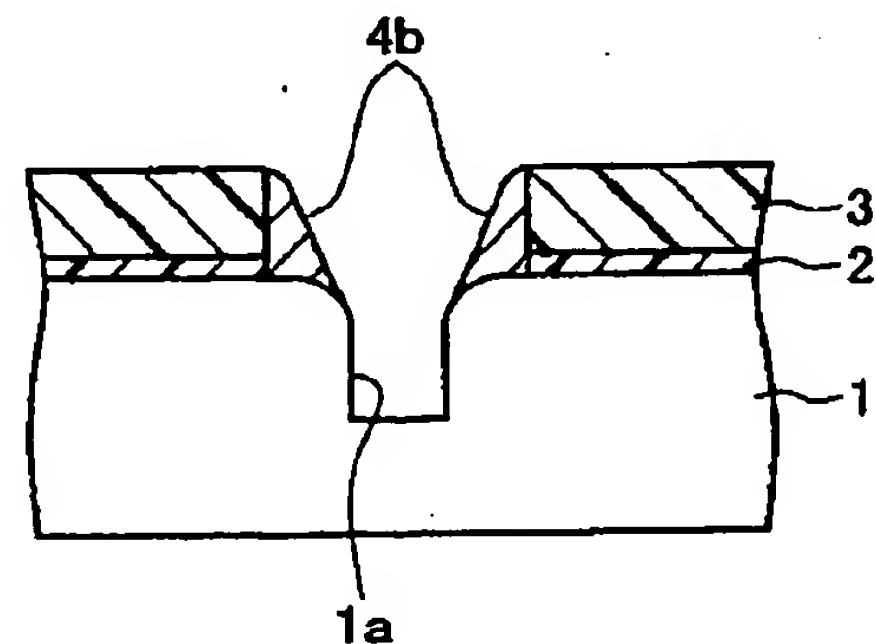
Fターム (参考) 5F004 AA16 DA04 DA26 DB01 DB02
DB03 DB07 EA10 EA14 EA28
EB045F032 AA36 AA67 DA01 DA02 DA23
DA24 DA53

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 簡略化された工程でトレンチ上部の角を十分に丸くできる半導体装置及びその製造方法を提供する。

【解決手段】 本発明に係る半導体装置の製造方法は、シリコン基板1の上にシリコン窒化膜3を形成する工程と、このシリコン窒化膜上に多結晶シリコン膜を形成する工程と、この多結晶シリコン膜及びシリコン窒化膜3をパターニングすることにより、該多結晶シリコン膜及び該シリコン窒化膜にトレンチ形成領域上に位置する開口部を形成する工程と、シリコン窒化膜3をマスクとして多結晶シリコン膜及びシリコン基板1をエッチングすることにより、該シリコン基板にトレンチ1aを形成する工程と、を具備する。



(2)

特開2003-7688

1

【特許請求の範囲】

【請求項1】 シリコン基板の上にマスク材料膜を形成する工程と、

このマスク材料膜上に多結晶シリコン膜を形成する工程と、

この多結晶シリコン膜及びマスク材料膜をパターンニングすることにより、該多結晶シリコン膜及び該マスク材料膜にトレンチ形成領域上に位置する開口部を形成する工程と、

マスク材料膜をマスクとして多結晶シリコン膜及びシリコン基板をエッチングすることにより、該シリコン基板にトレンチを形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項2】 上記トレンチを形成する工程は、多結晶シリコン膜をエッチングした際のエッチング生成物が、マスク材料膜に形成された開口部内の側壁にサイドウォール状に形成されながら、シリコン基板がエッチングされる工程であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 上記トレンチを形成する工程の後に、上記開口部内の側壁に形成されたエッチング生成物をウェット処理により除去する工程をさらに含むことを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項4】 上記ウェット処理により除去する工程の後に、トレンチ上部の角に酸化処理を行い、次に、この酸化処理により形成された酸化膜を除去する工程をさらに含むことを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】 上記マスク材料膜はシリコン窒化膜であることを特徴とする請求項1～4のうちいずれか1項記載の半導体装置の製造方法。

【請求項6】 シリコン基板と、
このシリコン基板に形成されたトレンチと、
を具備し、

上記トレンチは、シリコン基板の上にマスク材料膜を形成し、このマスク材料膜上に多結晶シリコン膜を形成し、この多結晶シリコン膜及びマスク材料膜をパターンニングすることにより、該多結晶シリコン膜及び該マスク材料膜にトレンチ形成領域上に位置する開口部を形成し、マスク材料膜をマスクとして多結晶シリコン膜及びシリコン基板をエッチングすることにより形成されるものであることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、トレンチを形成する工程を有する半導体装置及びその製造方法に関する。特に、簡略化された工程でトレンチ上部の角を十分に丸くできる半導体装置及びその製造方法に関するものである。

【0002】

2

【従来の技術】 図9(a)～(e)は、従来の半導体装置の製造方法を説明する断面図である。まず、図9

(a)に示すように、シリコン基板101上にフォトリソグラフィによりフォトレジスト102のパターンを形成する。次いで、図9(b)に示すように、フォトレジスト102をマスクとしてシリコン基板101に異方性エッチングによりトレンチの形成を行った後、フォトレジスト102を除去する。

【0003】 次に、図9(c)に示すように、シリコン基板101の全面にプラズマ酸化処理を行う。この際の酸化条件としては、酸素ガスを用い、ガス圧力0.1 Torr、高周波パワー500W、陽極電圧50Vを用いる。酸化速度は平坦部で約100nm/minであり、シリコン基板101の表面及びトレンチ内表面には約50nmの厚さの酸化膜103が形成される。

【0004】 凹凸を有するシリコン基板101をプラズマ中にさらすと、凸部では平坦部に比べ電界が集中する。このため、酸素のシリコン基板表面への衝撃は凸部の方が平坦部に比べ強く、酸化速度は平坦部に比べ速くなる。その結果、図9(d)に示すように、平坦部での酸化膜厚 t_p と凸部のコーナーでの酸化膜厚 t_c は、 $t_c > t_p$ となり、凸部で厚く、平坦部では薄くなる。

【0005】 この後、形成された酸化膜103を緩衝フッ酸溶液などで除去することにより、図9(e)に示すように、トレンチ凸部のコーナーのラウンド処理がなされる。

【0006】 上記従来の半導体装置の製造方法によるラウンド処理では、トレンチ上部の角(凸部)を十分に丸くすることが困難であった。トレンチ上部の角が十分に丸くならないと、トレンチ素子分離を形成するためにトレンチ内に絶縁膜を埋め込んだ際、トレンチ上部の角でストレスが発生してしまう。これにより、リーク電流による不良の発生の原因となることがある。

【0007】 図10(a)～(c)は、エッジがラウンドされたトレンチを形成するための他の従来に係る半導体装置の製造方法を示す断面図である。

【0008】 まず、図10(a)に示すように、シリコン基板110上にパッド酸化膜112を形成した後、その上にトレンチの形成のための第1マスク層114を形成する。次いで、この第1マスク層の側壁にスペーサ形の第2マスク層116を形成する。次いで、第1及び第2マスク層114、116をマスクとしてシリコン基板110をエッチングすることにより、該シリコン基板110にはトレンチ118が形成される。

【0009】 この後、図10(b)に示すように、第1マスク層114の側壁の第2マスク層116を除去する。次いで、図10(c)に示すように、トレンチ118のコーナーをラウンドさせるために、シリコン基板110に対してドライエッチングを施すことにより、エッチングレートが相対的に速いエッジ部位Aをラウンドさ

3

れるように形成する。

【0010】上記他の従来に係る半導体装置の製造方法では、トレンチ上部の角（エッジ部位A）を丸くするために複雑な工程を必要とし、工程時間が長くなるという欠点があった。また、上記製造方法で製造されたトレンチ上部の角の丸みも十分とはいえなかった。

【0011】

【発明が解決しようとする課題】上述したように、従来及び他の従来に係る半導体装置の製造方法では、トレンチ上部の角を十分に丸くすることが困難であり、また丸くするための工程に長時間を必要とするという問題があった。

【0012】本発明は上記のような事情を考慮してなされたものであり、その目的は、簡略化された工程でトレンチ上部の角を十分に丸くできる半導体装置及びその製造方法を提供することにある。

【0013】

【課題を解決するための手段】上記課題を解決するため、本発明に係る半導体装置の製造方法は、シリコン基板の上にマスク材料膜を形成する工程と、このマスク材料膜上に多結晶シリコン膜を形成する工程と、この多結晶シリコン膜及びマスク材料膜をパターニングすることにより、該多結晶シリコン膜及び該マスク材料膜にトレンチ形成領域上に位置する開口部を形成する工程と、マスク材料膜をマスクとして多結晶シリコン膜及びシリコン基板をエッチングすることにより、該シリコン基板にトレンチを形成する工程と、を具備することを特徴とする。

【0014】上記半導体装置の製造方法によれば、マスク材料膜の上に多結晶シリコン膜を形成し、マスク材料膜をマスクとして多結晶シリコン膜及びシリコン基板をエッチングすることにより、該シリコン基板にトレンチを形成している。これにより、トレンチ上部の角に十分な丸みを形成できる。また、この丸みを形成するための工程も従来技術に比べて簡略なものとなる。

【0015】また、本発明に係る半導体装置の製造方法において、上記トレンチを形成する工程は、多結晶シリコン膜をエッチングした際のエッチング生成物が、マスク材料膜に形成された開口部内の側壁にサイドウォール状に形成されながら、シリコン基板がエッチングされる工程であることが好ましい。

【0016】また、本発明に係る半導体装置の製造方法においては、上記トレンチを形成する工程の後に、上記開口部内の側壁に形成されたエッチング生成物をウエット処理により除去する工程をさらに含むことも可能である。

【0017】また、本発明に係る半導体装置の製造方法においては、上記ウエット処理により除去する工程の後に、トレンチ上部の角に酸化処理を行い、次に、この酸化処理により形成された酸化膜を除去する工程をさらに

(3)

特開2003-7688

4

含むことも可能である。これにより、さらにトレンチ上部の角を丸くすることができる。

【0018】また、本発明に係る半導体装置の製造方法においては、上記マスク材料膜はシリコン窒化膜であることが好ましい。

【0019】本発明に係る半導体装置は、シリコン基板と、このシリコン基板に形成されたトレンチと、を具備し、上記トレンチは、シリコン基板の上にマスク材料膜を形成し、このマスク材料膜上に多結晶シリコン膜を形成し、この多結晶シリコン膜及びマスク材料膜をパターニングすることにより、該多結晶シリコン膜及び該マスク材料膜にトレンチ形成領域上に位置する開口部を形成し、マスク材料膜をマスクとして多結晶シリコン膜及びシリコン基板をエッチングすることにより形成されるものであることを特徴とする。

【0020】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について説明する。図1～図6は、本発明に係る第1の実施の形態による半導体装置の製造方法を示す断面図である。この半導体装置の製造方法は、STI (shallow trench isolation) トレンチを形成する工程を有するものである。

【0021】まず、図1に示すように、シリコン基板1の表面上に熱酸化法により厚さ10～20nm程度のシリコン酸化膜2を形成する。次いで、このシリコン酸化膜2の上にCVD (Chemical Vapor Deposition) 法により厚さ100～200nm程度のシリコン窒化膜 (SiN膜) 3を堆積する。次いで、このシリコン窒化膜3の上にCVD法により厚さ100～250nm程度の多結晶シリコン膜4を堆積する。

【0022】この後、図2に示すように、シリコン窒化膜3の上にフォトリソ膜を塗布し、このフォトリソ膜を露光、現像することにより、シリコン窒化膜3上にはトレンチ形成領域の上方が開口されたレジストパターン5が形成される。

【0023】次に、図3に示すように、レジストパターン5をマスクとして多結晶シリコン膜4、シリコン窒化膜3及びシリコン酸化膜2をエッチングする。これにより、多結晶シリコン膜4などには開口部4aが形成され、この開口部下のシリコン基板1が露出する。

【0024】この後、図4に示すように、レジストパターン5を剥離する。次いで、図5に示すように、シリコン窒化膜3をマスクとしてシリコン基板1をエッチングすることにより、シリコン基板1にはトレンチ1aが形成される。この際のエッチング条件は、塩素100sccm、酸素10sccmの混合ガスを用いて、圧力50mTorr、上部電極パワー1600W、下部電極パワー300Wを用いる。この条件を用いて、シリコン基板に約400nmの深さのトレンチを形成する。

【0025】すなわち、シリコン窒化膜3をマスクとし

5

てシリコン基板1をエッチングすると、シリコン基板1がエッチングされると同時にシリコン窒化膜3上の多結晶シリコン膜4もエッチングされる。このため、図5に示すように、シリコン基板1がエッチングされながら、シリコン窒化膜3の開口部内の側壁に多結晶シリコン膜4がエッチングされた際のエッチング生成物（反応物）4bがサイドウォール状に堆積される。このとき、シリコン基板1のエッチングよりやや先にエッチング生成物4bが開口部内の側壁に付着する。このため、このサイドウォール状のエッチング生成物4bがシリコン基板1をエッチングする際のマスクのような働きをする。これにより、トレンチ上部の角が徐々に丸く形成されていき、最終的にはトレンチ上部の角に十分な丸み（トップラウンディング）が形成される。

【0026】この後、図6に示すように、HF溶液によるウェット処理（洗浄処理）を行うことにより、エッチング生成物4bは除去され、トレンチ上部の角の丸みが露出する。

【0027】上記第1の実施の形態によれば、シリコン窒化膜3の上に多結晶シリコン膜4を形成し、この多結晶シリコン膜を用いてシリコン基板1にトレンチ形成のためのエッチングを施している。このため、エッチングの際、シリコン窒化膜3の開口部内の側壁に意図的にサイドウォール状のエッチング生成物4bを形成することができ、このエッチング生成物によりトレンチ上部の角に十分な丸みを形成できる。また、この丸みを形成するための工程も従来技術に比べて簡略なものとなる。

【0028】図7及び図8は、本発明に係る第2の実施の形態による半導体装置の製造方法を説明するための断面図であり、図1～図6と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0029】第1の実施の形態における図6に示す工程の後、図7に示すように、シリコン基板1の全面にプラズマ酸化処理を行う。この際の酸化条件の一例としては、酸素ガスを用い、ガス圧力0.1 Torr、高周波パワー500W、陽極電圧50Vを用いる。シリコン基板1の表面及びトレンチ内表面には約50nmの厚さの酸化膜6が形成される。

【0030】凹凸を有するシリコン基板1をプラズマ中にさらすと、凸部では平坦部に比べ電界が集中する。このため、酸素のシリコン基板表面への衝撃は凸部の方が平坦部に比べ強く、酸化速度は平坦部に比べ速くなる。その結果、トレンチ上部の角における酸化膜厚が他の部分の酸化膜厚に比べて厚くなる。

【0031】この後、形成された酸化膜6を緩衝フッ酸溶液などで除去することにより、図8に示すように、トレンチ上部の角の丸みをさらに丸くすることができる。

【0032】上記第2の実施の形態においても第1の実施の形態と同様の効果を得ることができる。

【0033】また、第2の実施の形態では、図7に示す

(4)

特開2003-7688

6

工程で酸化によるさらなるラウンド処理を施しているため、第1の実施の形態よりさらにトレンチ上部の角を丸くすることができる。

【0034】尚、本発明は上記実施の形態に限定されず、種々変更して実施することが可能である。

【0035】

【発明の効果】以上説明したように本発明によれば、マスク材料膜の上に多結晶シリコン膜を形成し、マスク材料膜をマスクとして多結晶シリコン膜及びシリコン基板をエッチングすることにより、該シリコン基板にトレンチを形成している。したがって、簡略化された工程でトレンチ上部の角を十分に丸くできる半導体装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明に係る第1の実施の形態による半導体装置の製造方法を示す断面図である。

【図2】本発明に係る第1の実施の形態による半導体装置の製造方法を示すものであり、図1の次の工程を示す断面図である。

【図3】本発明に係る第1の実施の形態による半導体装置の製造方法を示すものであり、図2の次の工程を示す断面図である。

【図4】本発明に係る第1の実施の形態による半導体装置の製造方法を示すものであり、図3の次の工程を示す断面図である。

【図5】本発明に係る第1の実施の形態による半導体装置の製造方法を示すものであり、図4の次の工程を示す断面図である。

【図6】本発明に係る第1の実施の形態による半導体装置の製造方法を示すものであり、図5の次の工程を示す断面図である。

【図7】本発明に係る第2の実施の形態による半導体装置の製造方法を説明するための断面図である。

【図8】本発明に係る第2の実施の形態による半導体装置の製造方法を説明するものであり、図7の次の工程を示す断面図である。

【図9】(a)～(e)は、従来の半導体装置の製造方法を説明する断面図である。

【図10】(a)～(c)は、他の従来に係る半導体装置の製造方法を示す断面図である。

【符号の説明】

1, 101, 110…シリコン基板

1a…トレンチ

2…シリコン酸化膜

3…シリコン窒化膜

4…多結晶シリコン膜

4a…開口部

4b…エッチング生成物（反応物）

5…レジストパターン

6…酸化膜

(5)

特開 2003-7688

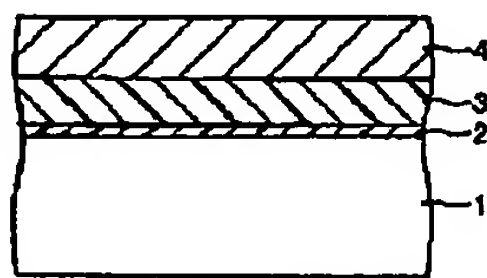
7

102...フォトレジスト
103...酸化膜
112...パッド酸化膜

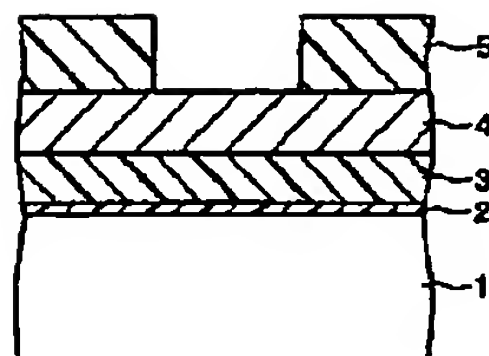
114...第1マスク層
116...第2マスク層
118...トレンチ

8

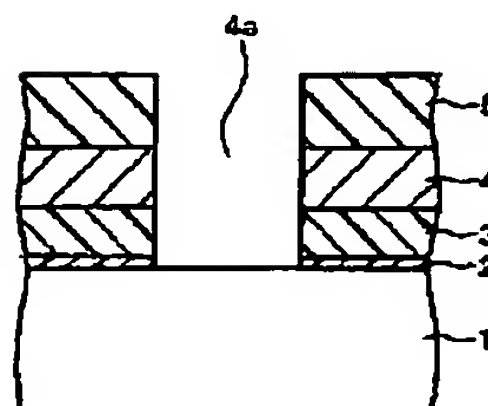
【図1】



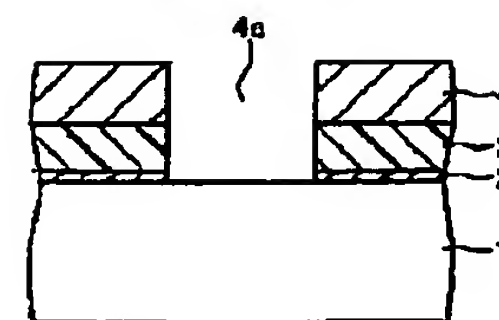
【図2】



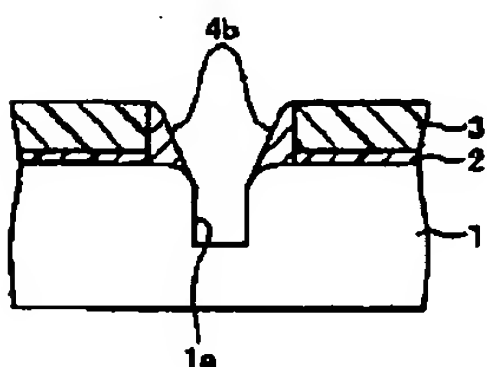
【図3】



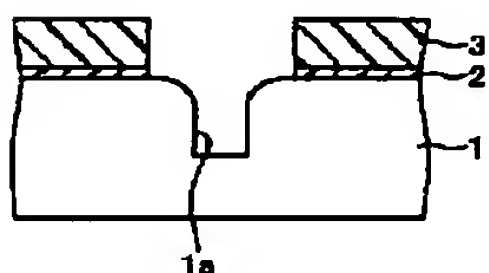
【図4】



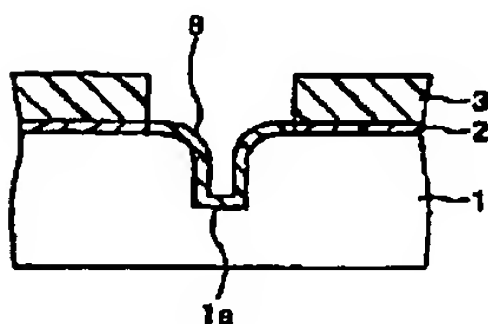
【図5】



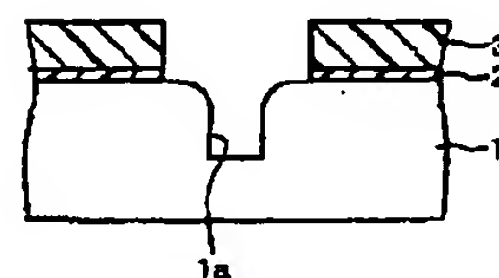
【図6】



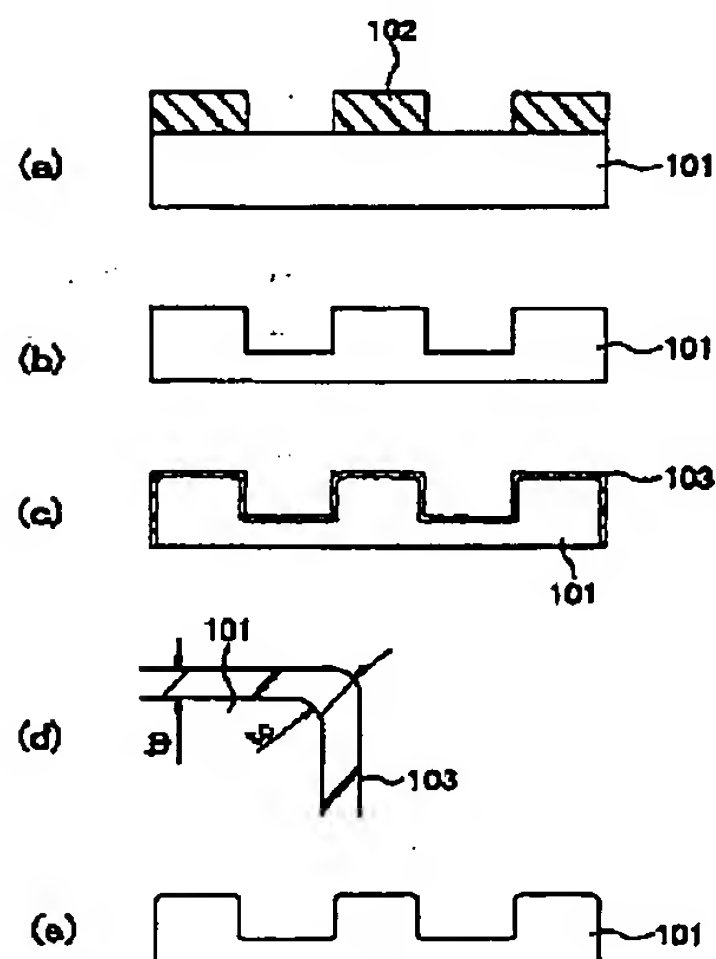
【図7】



【図8】



【図9】



【図10】

